

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-115905

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 21/3205

H01L 27/04

H01L 21/822

(21)Application number : 07-273887

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.10.1995

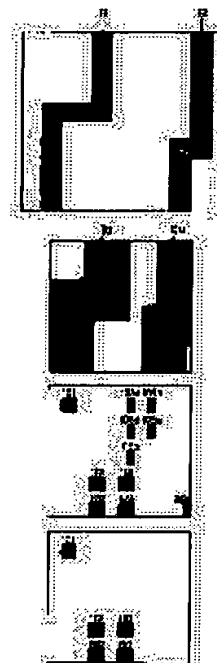
(72)Inventor : UEDA SATOSHI
UEDA TETSUYA

(54) DESIGNING METHOD FOR DUMMY PATTERN

(57)Abstract:

PROBLEM TO BE SOLVED: To arrange dummy pattern in a large majority of integrated circuits containing data-pass group and memory group microblocks which constitute first and second metal wiring layers without using virtual grids.

SOLUTION: In a semiconductor integrated circuit device having multilayer interconnection construction, auxiliary patterns 101-125 having specified dimensions and arranged at specified intervals are formed. And auxiliary patterns 101, 117, 118, 122, 123 obtained by erasing wiring pattern regions 11a, 12a obtained by extending wiring patterns 11, 12 only by a specified dimension, from the above-mentioned auxiliary patterns 101-125 are arranged as dummy patterns 101, 117, 118, 122, 123.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-115905

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L	A
	27/04			D
	21/822			T

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-273887

(22) 出願日 平成7年(1995)10月23日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 上田 聡

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 上田 哲也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

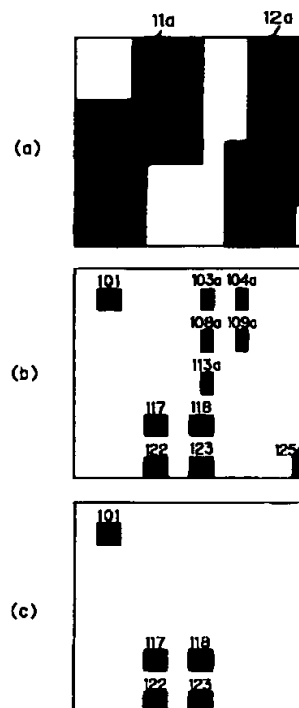
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 ダミーパターンの設計方法

(57) 【要約】

【課題】 仮想グリッドを用いなくて第1層メタル配線層、第2層メタル配線層を構成するデータバス系やメモリ系のマイクロブロックを含む大多数の集積回路において、ダミーパターンを配置することを提供する。

【解決手段】 多層配線構造を有する半導体集積回路装置において、所定の寸法及び0所定の間隔で配置された補助パターン101~125を作成し、前記の補助パターン101~125から、配線パターン11、12を所定の寸法だけ伸長した配線パターン領域11a、12aを消去した補助パターン101、117、118、122、123をダミーパターン101、117、118、122、123として配置することを特徴とするダミーパターン設計方法。



【特許請求の範囲】

【請求項1】多層配線構造を有する半導体集積回路装置の下層に形成するダミー配線パターンの設計方法であって、所定の寸法及び所定の間隔で規則的に配置された補助パターン群を作成する工程と、前記の補助パターン群と前記下層に形成される配線パターンを所定の寸法だけ伸長した領域とが重なる領域を前記補助パターンから消去したパターン群をダミー配線パターンとする工程とを有することを特徴とするダミーパターンの設計方法。

【請求項2】多層配線構造を有する半導体集積回路装置の下層に形成するダミー配線パターンの設計方法であって、所定の寸法及び所定の間隔で規則的に配置された補助パターン群をN個（Nは2以上の自然数）作成する工程と、第1の補助パターン群と前記下層に形成される配線パターンを所定の寸法だけ伸長した領域とが重なる領域を前記第1の補助パターンから消去した第1のダミー配線パターン群を作成する工程と、第2の補助パターン群と前記第1のダミー配線パターン群を所定の寸法だけ伸長した領域とが重なる領域及び第2の補助パターン群と前記配線パターン群を所定の寸法だけ伸長した領域とが重なる領域を前記第2の補助パターン群から消去した第2のダミー配線パターン群を作成する工程と、上記の工程を繰り返し、第Nの補助パターン群と前記の第1のダミーパターン群を所定の寸法だけ伸長した領域から第（N-1）のダミーパターン群を所定の寸法だけ伸長した領域を足した領域とが重なる領域及び前記第Nの補助パターン群と前記配線パターンを所定の寸法だけ伸長した領域とが重なる領域を前記第Nの補助パターン群から消去した第Nのダミーパターン群を作成する工程と、前記第1のダミーパターン群から第Nのダミーパターン群を足したものをダミー配線パターンとする工程とを有することを特徴とするダミーパターンの設計方法。

【請求項3】N個の補助パターン群の組み合わせをM組作成し、前記M組の補助パターン群に対してダミーパターンを発生させ、発生したM個のダミーパターンの総面積をそれぞれ計算して総面積が最大に配置されたダミーパターンを選択することを特徴とする請求項2に記載のダミーパターンの設計方法。

【請求項4】補助パターン群が正方形で形成していることを特徴とする請求項1～3いずれかに記載のダミーパターンの設計方法。

【請求項5】補助パターン群が所定の設計基準を満たす最小の配線幅寸法及び最小の配線間隔で形成していることを特徴とする請求項1～3いずれかに記載のダミーパターンの設計方法。

【請求項6】第Nの補助パターン群が、第1の補助パターン群を所定の寸法だけ移動したパターンであることを特徴とする請求項2または3に記載のダミーパターンの設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層配線構造を有する半導体集積回路装置におけるダミーパターン設計方法に関するものである。

【0002】

【従来の技術】半導体集積回路装置の配線の微細化、多層化が進につれて、下層配線の有無に起因する段差、パターンが密な領域と疎な領域とが混在していることにより発生するマイクロローディング効果に起因するエッチングの不均一性等の問題を解決するために、配線の空き領域に浮遊のメタルパターン（以下ダミーパターンと記す）を配置する手法が注目されている。

【0003】以下図面を参照しながら、上記した従来の半導体集積回路装置のダミーパターン配置の一例について説明する。

【0004】図11は従来の半導体集積回路装置のパターン配置図を示すものである。図11において、501～505は下層配線が通過すべきグリッドを示し、21、31、32、41、42、51、52、61は具体的な下層配線パターンのレイアウト例である。また601～605は上部配線が通過すべきグリッドを示しており、ここでは上層の配線パターンは簡単のため省略している。さらに、グリッド502上で配線パターンの途切れた空き領域にはダミーパターン30が形成され、グリッド503の空き領域にはダミーパターン40が形成され、グリッド504上で配線パターンの途切れた空き領域にはダミーパターン50が形成されている。ここで、ダミーパターン30、40、50はその線幅を配線パターンと同じくするものである。また、同一グリッド上における配線パターンとダミーパターンとの間隔Bは、配線パターン間隔Aと等しいものとなっている。

【0005】以上のような構成であれば、下層配線及び上層配線の各グリッドの交点には配線パターン若しくはダミーパターンが必ず存在することになり、上層配線が通るべきグリッド601～605の全てにおいて、下層配線のパターン間隔が一定となる。従って、下層配線上に形成する層間絶縁膜の平坦化が簡単となり、製造コスト低減につながる。また、下層配線のパターンの粗密がなくなることから、配線の異常エッチングや配線容量のアンバランス等も回避することができる。

【0006】なお、上記の従来のダミーパターンの配置に関しては例えば特開平1-196140号公報に記載されている。

【0007】

【発明が解決しようとする課題】しかしながら上記のような構成の集積回路では、N層のメタル配線では第1層から第（N-1）までダミーパターンが配置されることになる。このために全配線層をグリッドにのせて配線することになる。このために全配線をグリッドにのせて配線するゲートアレイ等の集積回路では実現可能である

が、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成するデータバス系やメモリ系のマイクロブロックを含む大多数の集積回路では、全層にダミーパターンを配置することが困難であるため、図1で説明した従来の半導体集積回路装置で実現できる多層配線の適応範囲が狭くなるという問題点があった。

【0008】そこで、本発明は、データバス系やメモリ系のマイクロブロックを含む大多数の集積回路においては、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成することに着目して得られたものである。

【0009】本発明は上記問題点に鑑み、その目的は、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成するデータバス系やメモリ系のマイクロブロックを含む大多数の集積回路において、ダミーパターンを配置する方法を提供することにある。

【0010】

【課題を解決するための手段】上記問題点を解決するために本発明のダミーパターンの設計方法は、所定の寸法及び所定の間隔で配置されたパターンから、配線パターンを所定の寸法だけ伸長した領域を消去することによりダミーパターンを配置するという構成を備えたものである。

【0011】

【発明の実施の形態】本発明は上記した構成によって、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成するデータバス系やメモリ系のマイクロブロックを含む大多数の集積回路において、ダミーパターンを配置することが可能となる。

【0012】以下本発明の一実施例のダミーパターンの設計方法について、図面を参照しながら説明する。

【0013】（実施例1）図1は本発明の第1の実施例にかかわる半導体集積回路装置の配線パターン配置例を示す平面図である。

【0014】図1において、11、12は具体的な配線パターンのレイアウト例であり、配線パターン11、12は所定の設計基準を満たすように配置している。例えば、最小の配線幅寸法は $0.8\mu\text{m}$ 、最小の配線間隔（配線間スペース）は $0.8\mu\text{m}$ を満たすように形成している。したがって、配線パターン11、12の最小配線ピッチ（配線の配線幅方向の中心位置と隣接する他の配線の配線幅方向の中心位置との間の寸法）は $1.6\mu\text{m}$ で構成されている。

【0015】次に図2は本発明の第1の実施例にかかわる半導体集積回路装置のダミーパターンの基になる補助パターンの配置例を示す平面図である。図2において、101～125は補助パターンのレイアウト例である。補助パターン101～125は所定の設計基準を満たすように配置している。例えば、補助パターン101～125は最小の配線幅寸法の $0.8\mu\text{m}$ で、補助パターン

101～125の間隔は最小の配線間隔（配線間スペース）の $0.8\mu\text{m}$ で形成している。

【0016】さらに図4はダミーパターンの発生処理の工程を示した平面図である。ここで、図4において、図1及び図2と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0017】図3はダミーパターン生成のプログラム処理を示したものである。配線パターン11、12及び補助パターン101～125のデータは数値化され計算機に格納される。

【0018】まず、配線パターン領域の作成ステップ（ステップ1）においては、補助パターン101～125により配線パターン11、12が短絡しないように、配線パターン11、12を所定の寸法だけ伸長し、図4-aに示した配線パターン領域11a、12aを作成する。ここでは例えば配線の最小間隔に対応する $0.8\mu\text{m}$ だけ伸長した。

【0019】次の配線パターン領域の消去ステップ（ステップ2）においては、図4-bに示したように、補助パターン101～125から、上記ステップ1において作成した配線パターン領域11a、12aを引く。このステップ2により、配線パターン領域11a、12aと重なる領域を消去する。

【0020】次の補助パターンの補正ステップ（ステップ3）においては、図4-cに示したように、上記ステップ2において配線パターン領域1aと重なる領域を消去された補助パターン101、103a、104a、108a、109a、113a、117、118、122、123、125aを、所定の寸法だけ縮小する。ここでは、最小の配線幅寸法に対応する $0.8\mu\text{m}$ の2分の1より小さい寸法、例えば $0.39\mu\text{m}$ だけ縮小する。この処理により、最小の配線幅寸法に対応する $0.8\mu\text{m}$ 以下の寸法の補助パターン103a、104a、108a、109a、113a、125aが消去される。続いて、縮小された補助パターン101、117、118、122、123を縮小した寸法だけ伸長する。ここでは、 $0.39\mu\text{m}$ だけ伸長する。このステップ3により、配線パターン領域11a、12aと重なる領域を消去された補助パターン101、103a、104a、108a、109a、113a、117、118、122、123、125aの中で、最小の配線幅寸法に対応する $0.8\mu\text{m}$ 以下の寸法の補助パターン103a、104a、108a、109a、113a、125aが消去され、ダミーパターン101、117、118、122、123が完成する。

【0021】以上のように本実施例によれば、所定の設計基準を満たす所定の寸法で形成されている補助パターン101～125を設けることにより、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成するデータバス系やメモリ系のマイクロブロックを

含む大多数の集積回路に対しても、ダミーパターンを配置することができる。

【0022】(実施例2)以下本発明の第2の実施例について図面を参照しながら説明する。

【0023】図5(a)及び(b)は本発明の第2の実施例にかかわる半導体集積回路装置のダミーパターンの基になる補助パターンを示す平面図である。

【0024】図5において、図2に示す第1の実施例と異なるのは、201~225の補助パターン(図5

(b))を別に設けた点である。補助パターン201~225は補助パターン101~125を所定の寸法だけ移動したパターンである。例えば、補助パターン201~225はX方向に最小の配線間隔(配線間スペース)の0.8 μ m、Y方向に最小の配線間隔(配線間スペース)の0.8 μ mだけ移動したものである。図5において、図2と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。図7は第2の実施例のダミーパターンの発生処理の工程を示した平面図である。ここで、図7において、図1、図2及び図5と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0025】以下図1、図5、図6及び図7を用いてダミーパターンの設計方法を説明する。

【0026】図6はダミーパターン生成のプログラム処理を示したものである。まず、補助パターンを作成する。ここでは、例えば、補助パターン101~125、補助パターン201~225の2種類とする。ここで、配線パターン11、12及び補助パターン101~125、補助パターン201~225のデータは数値化され計算機に格納される。

【0027】そしてまず、配線パターン領域の作成ステップ(ステップ1)においては、補助パターン101~125により配線パターン11、12が短絡しないように、配線パターン11、12を所定の寸法だけ伸長し、図7-aに示した配線パターン領域11a、12aを作成する。ここでは配線の最小間隔に対応する0.8 μ mだけ伸長した。

【0028】次の配線パターン領域の消去ステップ(ステップ2)においては、図7-bに示したように、補助パターン101~125から、上記ステップ1において作成した配線パターン領域11a、12aを引く。このステップ2により、配線パターン領域11a、12aと重なる領域を消去する。

【0029】次の補助パターンの補正ステップ(ステップ3)においては、図7-cに示したように、上記ステップ2において配線パターン領域1aと重なる領域を消去された補助パターン101、103a、104a、108a、109a、113a、117、118、122、123、125aを、所定の寸法だけ縮小する。ここでは、最小の配線幅寸法に対応する0.8 μ mの2分

の1より小さい寸法、例えば0.39 μ mだけ縮小する。この処理により、最小の配線幅寸法に対応する0.8 μ m以下の寸法の補助パターン103a、104a、108a、109a、113a、125aが消去される。続いて、縮小された補助パターン101、117、118、122、123を縮小した寸法だけ伸長する。ここでは、0.39 μ mだけ伸長する。このステップ3により、配線パターン領域11a、12aと重なる領域を消去された補助パターン101、103a、104a、108a、109a、113a、117、118、122、123、125aの中で、最小の配線幅寸法に対応する0.8 μ m以下の寸法の補助パターン103a、104a、108a、109a、113a、125aが消去される。

【0030】次の配線パターン領域の消去ステップ(ステップ4)においては、図7-dに示したように、補助パターン201~225から上記ステップ1で作成した配線パターン領域11a、12aを引く。このステップ4により、補助パターン201~225から配線パターン領域11a、12aと重なる領域を消去する。

【0031】次の補助パターンの補正ステップ(ステップ5)においては、上記ステップ3において作成した補助パターン101、117、118、122、123を、所定の寸法だけ伸長する。ここでは、補助パターン101、117、118、122、123と補助パターン201、202a、204、206、207a、209、214、218、219a、223、224aが重なるように0.1 μ mだけ伸長する。

【0032】続いて、図7-eに示したように、上記ステップ4において作成された補助パターン201、202a、204、206、207a、209、214、218、219a、223、224aから、0.1 μ mだけ伸長した補助パターン101、117、118、122、123を引く。続いて、配線パターン領域11a、12aと重なる領域と0.1 μ mだけ伸長した補助パターン101、117、118、122、123と重なる領域を消去された補助パターン201a、202a、204、206a、207a、209、214、218a、219a、223a、224aを、所定の寸法だけ縮小する。ここでは、最小の配線幅寸法に対応する0.8 μ mの2分の1より小さい寸法、例えば0.39 μ mだけ縮小する。この処理により、最小の配線幅寸法に対応する0.8 μ m以下の寸法の補助パターン201a、202a、206a、207a、218a、219a、223a、224aが消去される。続いて、縮小された補助パターン204、209、214を縮小した寸法だけ伸長する。ここでは、0.39 μ mだけ伸長する。このステップ5により、配線パターン領域11a、12aと重なる領域と0.1 μ mだけ伸長した補助パターン101、117、118、122、123を消去された補

7

助パターン201a、202a、204、206a、207a、209、214、218a、219a、223a、224aの中で、最小の配線幅寸法に対応する0.8 μ m以下の寸法の補助パターン201a、202a、206a、207a、218a、219a、223a、224aが消去される。

【0033】次に、始めに作成した補助パターンについて、処理が行ったかを判断する。ここで、始めに作成した補助パターンについて処理が行われていない場合は、ステップ4、ステップ5の処理を繰り返す。

【0034】始めに作成した補助パターンについて、処理が行われた場合は、補助パターンをたして、ダミーパターン101、117、118、122、123、204、209、214が完成する。

【0035】以上のように、補助パターンを2種類（複数）設けることにより、ダミーパターンの配置される密度を高くすることができる。

【0036】（実施例3）以下本発明の第3の実施例について図面を参照しながら説明する。

【0037】図8（a）、（b）及び図9（a）、（b）は本発明の第3の実施例にかかわる半導体集積回路装置のダミーパターンの基になる補助パターンを示す平面図である。

【0038】図8において、図2と異なるのは、301～325の補助パターンを別に設けた点である。補助パターン301～325は補助パターン101～125を所定の寸法だけ移動したパターンである。例えば、補助パターン301～325はX方向に最小の配線間隔（配線間スペース）の0.8 μ mだけ移動したものである。図9において、図2と異なるのは、401～425の補助パターンを別に設けた点である。補助パターン401～425は補助パターン101～125を所定の寸法だけ移動したパターンである。例えば、補助パターン401～425はY方向に最小の配線間隔（配線間スペース）の0.8 μ mだけ移動したものである。図8、図9において、図2と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。図7は第2の実施例のダミーパターンの発生処理の工程を示した平面図である。ここで、図7において、図1及び図5と同一の機能を有するものには同一の符号を付してその詳細な説明を省略する。

【0039】以下図1、図5、図6、図7、図8、図9及び図10を用いてダミーパターンの設計方法を説明する。

【0040】まず、図5について、上記の第2の実施例に示したのと同様に図6の処理を行い、図10-aに示したダミーパターン101、117、118、122、123、204、209、214を発生させる。

【0041】次に、図8について、上記の第2の実施例に示したのと同様に図6の処理を行い、図10-bダミ

8

ーパターン101、117、118、122、123、304、309を発生させる。

【0042】次に、図9について、上記の第2の実施例に示したのと同様に図6の処理を行い、図10-cダミーパターン101、117、118、122、123を発生させる。各補助パターンからダミーパターンを発生させた結果を以下に示す。

【0043】補助パターンが図5に示すものの場合ダミーパターンの発生数は8個、補助パターンが図8に示すものの場合ダミーパターンの発生数は7個、補助パターンが図9に示すものの場合ダミーパターンの発生数は5個である。

【0044】最後に、発生数の一番多い、図5から発生させた場合を選択し、ダミーパターン101、117、118、122、123、204、209、214を発生させる。

【0045】以上のように、補助パターンを2種類（複数）設け、その組み合わせを変えダミーパターン発生させ、ダミーパターンの総面積をそれぞれ計算することにより、総面積の最大になるダミーパターンの配置を選択することができる。

【0046】なお、第1、第2及び第3の実施例において、補助パターン101～125は最小の配線幅寸法の0.8 μ m、補助パターン101～125の間隔は最小の配線間隔（配線間スペース）の0.8 μ mとしたが、所定の設計基準を満たす配線幅寸法、所定の設計基準を満たす配線間隔（配線間スペース）であればよい。

【0047】なお、第2及び第3の実施例において、補助パターンを補助パターン101～125、補助パターン201～225の2種類としたが、補助パターンは2種類以上であればよいので、さらに補助パターンを加えてもよい。

【0048】なお、第3の実施例において、補助パターンの組み合わせを補助パターン101～125と補助パターン201～225、補助パターン101～125と補助パターン301～325、補助パターン101～125と補助パターン401～425の3組としたが、補助パターンの組み合わせは2組以上であればよいので、さらに補助パターンの組み合わせを加えてもよい。

【0049】また、上記の実施例においては、あらゆるパターンに対応できるように、補助パターンの形状を正方形としているが、必ずしも正方形である必要性はなく、例えば長方形であってもかまわない。

【0050】

【発明の効果】以上のように本発明は所定の設計基準を満たす所定の寸法で形成されている補助パターンを設け、補助パターンから、配線パターンを所定の寸法だけ伸長した領域を消去した補助パターンをダミーパターンとして配置することにより、仮想グリッドを用いずに第1層メタル配線層、第2層メタル配線層を構成するデ

ータパス系やメモリ系のマイクロブロックを含む大多数の集積回路において、ダミーパターンを配置することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例にかかわる半導体集積回路装置の配線パターン配置例を示す平面図

【図 2】 同実施例にかかわる半導体集積回路装置のダミーパターンの基になる補助パターンの配置例を示す平面図

【図 3】 同実施例にかかわるダミーパターン生成のプロ

グラム処理の工程図

【図 4】 同実施例にかかわるダミーパターンの発生処理の工程を示す平面図

【図 5】 本発明の第 2 の実施例にかかわる半導体集積回路装置のダミーパターンの基になる補助パターンの配置例を示す平面図

【図 6】 同実施例にかかわるダミーパターン生成のプロ

グラム処理の工程図

【図 7】 同実施例にかかわるダミーパターンの発生処理の工程を示す平面図

【図 8】 本発明の第 3 の実施例にかかわるダミーパター

ンの発生処理の工程を示す平面図

【図 9】 同実施例にかかわるダミーパターンの発生処理の工程を示す平面図

【図 10】 同実施例にかかわるダミーパターンの発生処理の結果を示す平面図

【図 11】 従来の半導体集積回路装置のパターン配置を示す平面図

【符号の説明】

11、12 配線パターン

101～125 補助パターン

201～225 補助パターン

301～325 補助パターン

301～325 補助パターン

501～505 下層配線が通過すべきグリッド

21 下層配線パターン

31、32 下層配線パターン

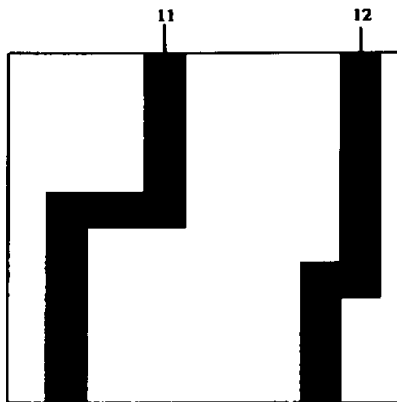
41、42 下層配線パターン

51、52 下層配線パターン

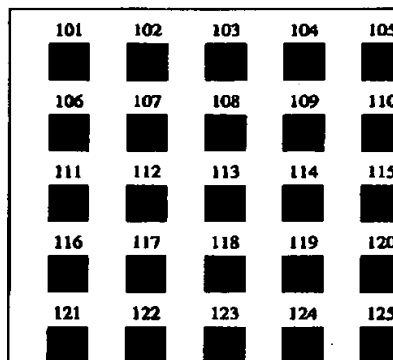
601～605 上部配線が通過すべきグリッド

20 30、40、50 ダミーパターン

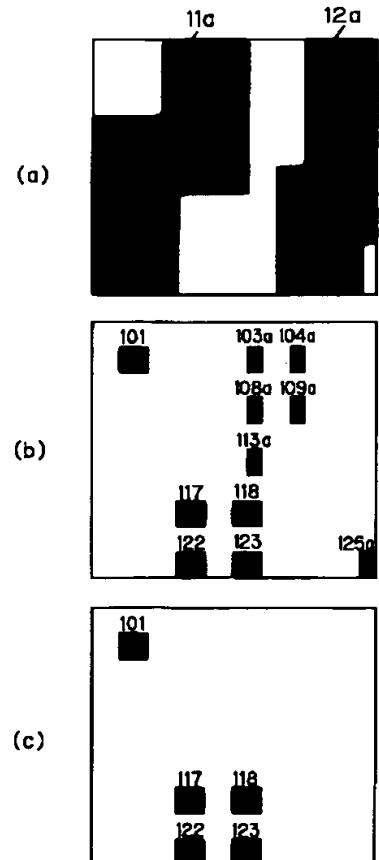
【図 1】



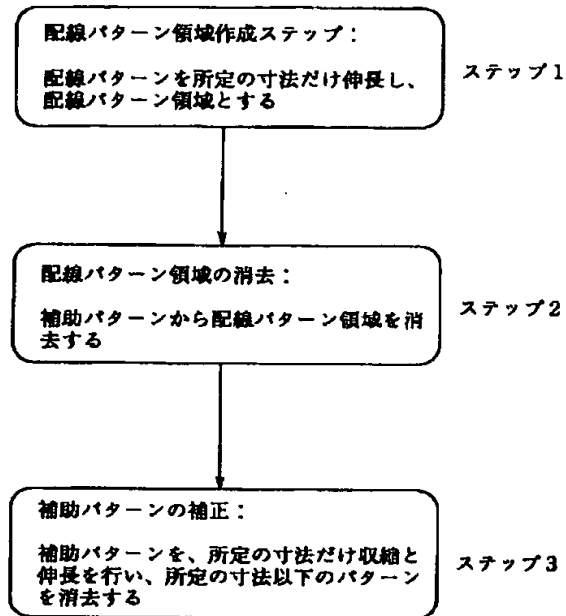
【図 2】



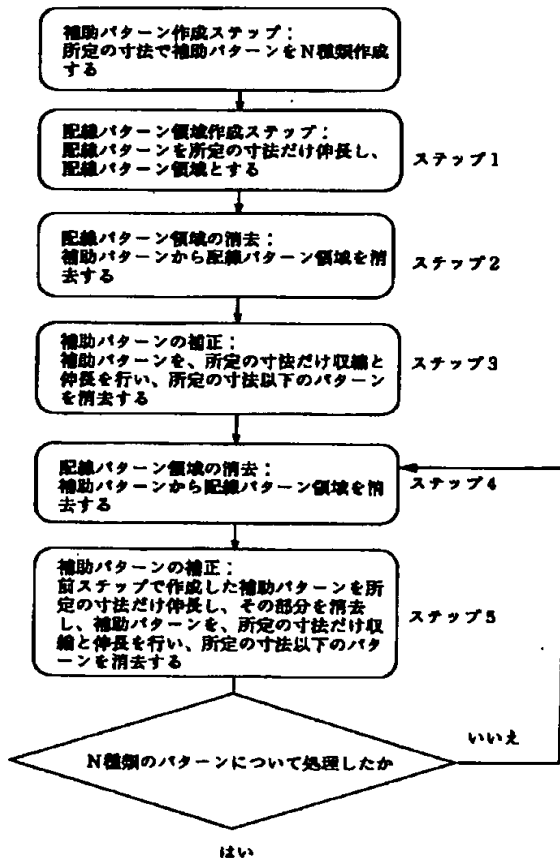
【図 4】



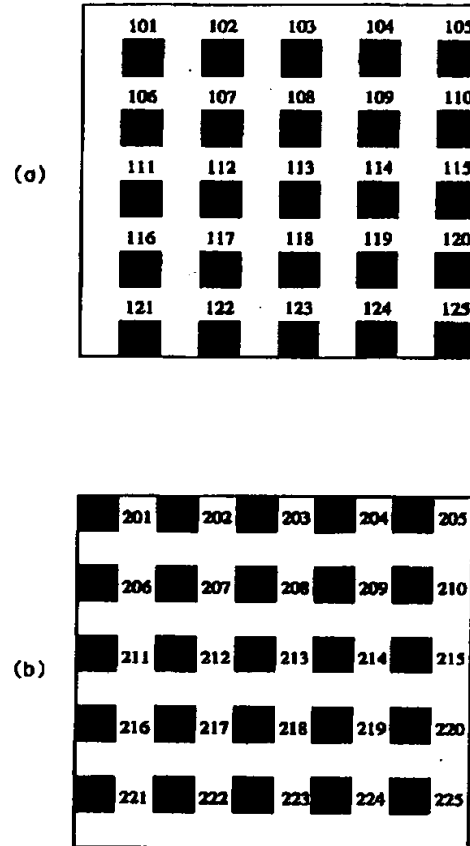
【図 3】



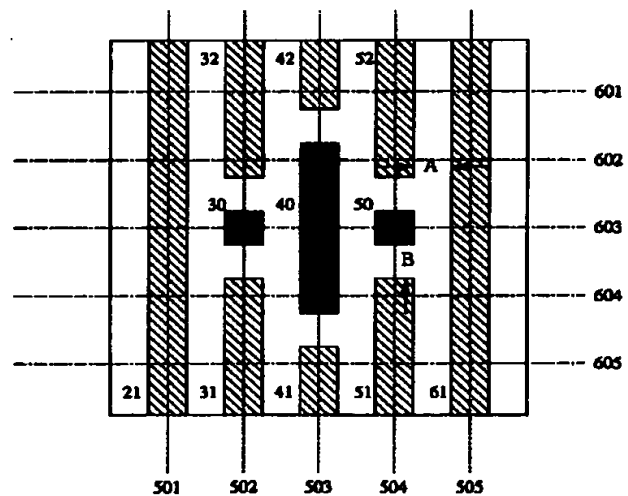
【図 6】



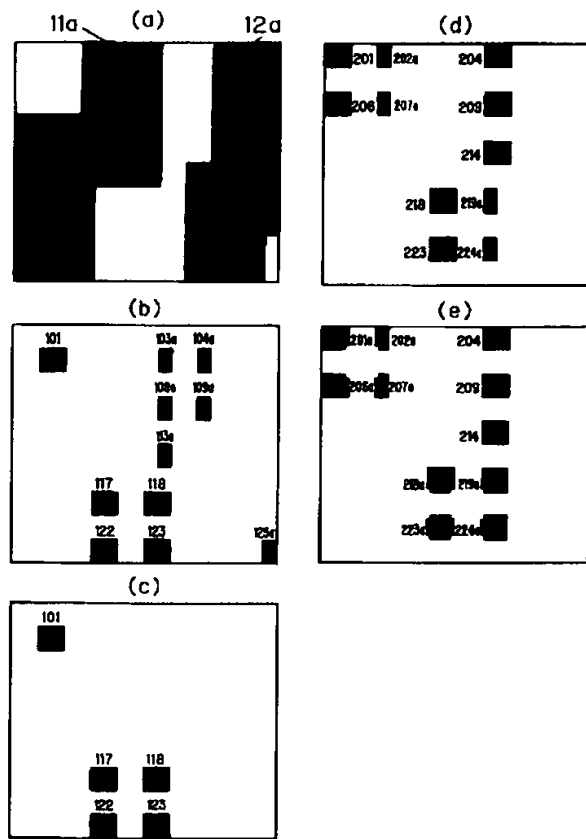
【図 5】



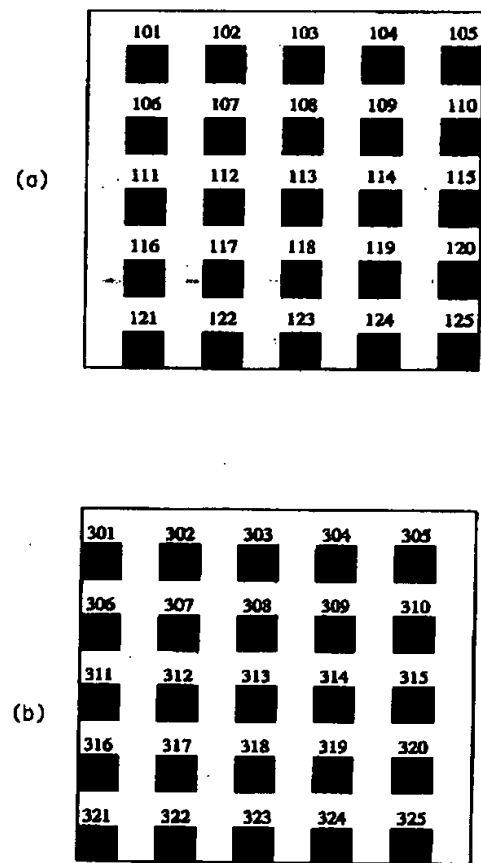
【図 11】



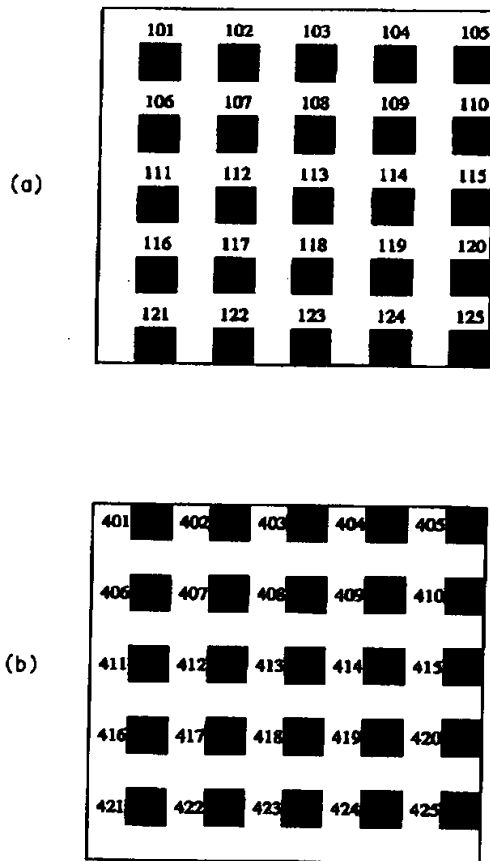
【図 7】



【図 8】



【図 9】



【図 10】

